

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-291850

(43)公開日 平成5年(1993)11月5日

(51)Int.Cl.⁵

H 0 3 F 3/45
1/32

識別記号

Z 7436-5 J
8836-5 J

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 2(全 12 頁)

(21)出願番号 特願平4-120025

(22)出願日 平成4年(1992)4月14日

(71)出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72)発明者 木村 克治

東京都港区芝五丁目7番1号 日本電気株
式会社内

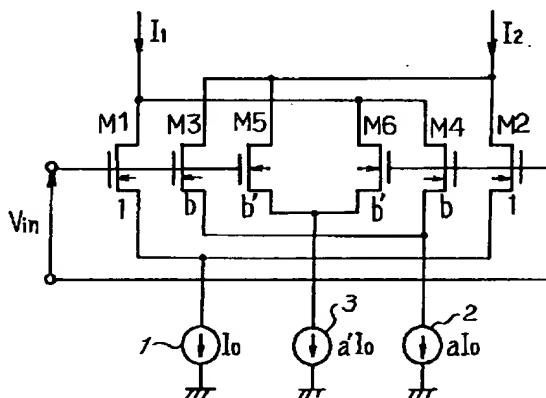
(74)代理人 弁理士 八幡 義博

(54)【発明の名称】 差動増幅回路

(57)【要約】

【目的】 小さい回路規模でトランスコンダクタンスの直線性を改善できる差動増幅回路を提供する。

【構成】 3つの差動対のトランジスタ対相互間での β の比は、 $(M1、M2) : (M3、M4) : (M5、M6) = 1 : b : b'$ となっている。入力電圧 V_{in} が印加される差動入力対は、M1とM3とM5のゲート同士及びM2とM4とM6のゲート同士をそれぞれ共通接続して構成される。また、差動出力対は、M1とM4とM6とのドレイン同士及びM2とM3とM5とのドレイン同士をそれぞれ共通接続して構成される。パラメータ a と b と b' を適宜設定することでトランスコンダクタンスの直線性を改善できる。



【特許請求の範囲】

【請求項1】 2組の差動対で構成され、差動入力対が、一方の差動対におけるFET（MOSTランジスタ）対の一方のFETと他方の差動対におけるFET対の他方のFETとのゲート同士及び一方の差動対におけるFET対の他方のFETと他方の差動対におけるFET対の一方のFETとのゲート同士をそれぞれ共通接続して構成され、差動出力対が、各差動対におけるFET対の一方のFETのドレイン同士及び他方のFETのドレイン同士をそれぞれ共通接続して構成される；こ

10

とを特徴とする差動増幅回路。
 【請求項2】 N個（ $N \geq 3$ ）の差動対で構成され、差動入力対が、各差動対におけるFET（MOSTランジスタ）対の一方のFETのゲート同士及び他方のFETのゲート同士をそれぞれ共通接続して構成され、差動出力対が、少なくとも1つのFET対の他方のFETと残余のFET対の一方のFETとのドレイン同士及びその少なくとも1つのFET対の一方のFETと残余のFET対の他方のFETとのドレイン同士をそれぞれ共通接続して構成される；こ

20

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、差動増幅回路に係り、特にMOSTランジスタで構成される差動増幅回路に関する。

【0002】

【従来の技術】MOSTランジスタで差動増幅回路を構成する場合、トランスコンダクタンスの直線性が問題となるが、この直線性を改善した差動増幅回路としては、従来、例えば図11や図12、図13に示すものが知られている。これらは、以下に示す文献に詳記されているので参照されたい。

30

【0003】図11：A.Nedungadi and T.R.Viswanathan "Design of Linear CMOS Transconductance Element" IEEE TRANSACTION ON CIRCUITS AND SYSTEMS, VOL. CAS-31, NO. 10, pp. 891-894, OCTOBER 1984.

【0004】図12：Zhenhua Wang and Walter Guggenbuhl "A Voltage-Controllable Linear MOS Transconductor Using Bias Offset Technique" IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 25, NO. 1, PP. 315-317, FEBRUARY 1990.

40

【0005】図13：Francois Krummenacher and Norbert Joehl "A 4-MHz CMOS Continuous-Time Filter with On-Chip Automatic Tuning" IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 23, NO. 3 pp. 750-758, JUNE 1988.

【0006】

【発明が解決しようとする課題】しかし、これらトランスコンダクタンスの直線性を改善した従来の差動増幅回路では、回路規模が増大するという問題がある。

50

【0007】本発明の目的は、回路規模を増大させずにトランスコンダクタンスの直線性を改善できる新規構成の差動増幅回路を提供することにある。

【0008】

【課題を解決するための手段】前記目的を達成するため本発明の差動増幅回路は次の如き構成を有する。即ち、第1発明の差動増幅回路は、2組の差動対で構成され、

差動入力対が、一方の差動対におけるFET（MOSTランジスタ）対の一方のFETと他方の差動対におけるFET対の他方のFETとのゲート同士及び一方の差動対におけるFET対の他方のFETと他方の差動対におけるFET対の一方のFETとのゲート同士をそれぞれ共通接続して構成され、差動出力対が、各差動対におけるFET対の一方のFETのドレイン同士及び他方のFETのドレイン同士をそれぞれ共通接続して構成される；こ

とを特徴とするものである。
 【0009】また、第2発明の差動増幅回路は、N個（ $N \geq 3$ ）の差動対で構成され、差動入力対が、各差動対におけるFET（MOSTランジスタ）対の一方のFETのゲート同士及び他方のFETのゲート同士をそれぞれ共通接続して構成され、差動出力対が、少なくとも1つのFET対の他方のFETと残余のFET対の一方のFETとのドレイン同士及びその少なくとも1つのFET対の一方のFETと残余のFET対の他方のFETとのドレイン同士をそれぞれ共通接続して構成される；こ

【0010】

【作用】次に、前記の如く構成される本発明の差動増幅回路の作用を説明する。本発明では、2組の差動対（第1発明）または3組以上の差動対（第2発明）をそのFET対相互間の入出力を所定の関係で接続してある。従って、特別の付加回路を要せずに構成できるので、回路規模を増大させることなくトランスコンダクタンスの直線性を改善できる差動増幅回路を提供できる。

【0011】

【実施例】以下、本発明の実施例を図面を参照して説明する。図1は、本発明の第1実施例に係る差動増幅回路を示す。この差動増幅回路は、2つの差動対、即ち、（M1、M2）のトランジスタ対及びこれを駆動する定電流源1（値 I_0 ）を備える差動対と、（M3、M4）のトランジスタ対及びこれを駆動する定電流源2（値 $a \times I_0$ ）を備える差動対とを中心に構成される。

【0012】ここに、トランジスタのトランスコンダクタンスパラメータ β は、モビリティ μ 、単位面積当たりのゲート酸化膜容量 C_{ox} 、ゲート幅 W 及びゲート長 L を用いて数式1と表せるが、トランジスタ対（M1、M2）のそれを1とすると、トランジスタ対（M3、M4）では b 倍となっている。なお、定数 a と同 b は同時に1となることはないが、 $a \leq 1$ 、 $b \leq 1$ である。

【0013】

3

【数1】 $\beta = \mu C_{ox} (W/L) (1/2)$

【0014】電圧 V_{in} が印加される差動入力対は、2つのトランジスタ対の相互間において、一方のトランジスタM1と他方のトランジスタM4のゲート同士及び他方のトランジスタM2と一方のトランジスタM3のゲート同士をそれぞれ共通接続して構成される。また、差動出力対は、2つのトランジスタ対の相互間において、一方のトランジスタM1と同M3のドレイン同士及び他方のトランジスタM2と同M4のドレイン同士をそれぞれ共通接続して構成される。

【0015】以上の構成において、飽和領域で動作しているとすると、M1のドレイン電流 I_{d1} は数式2、M2のドレイン電流 I_{d2} は数式3、M3のドレイン電流 I_{d3} は数式4、M4のドレイン電流 I_{d4} は数式5となる。

【0016】

【数2】 $I_{d1} = \beta (V_{GS1} - V_T)^2$

【0017】

【数3】 $I_{d2} = \beta (V_{GS2} - V_T)^2$

【0018】

【数4】 $I_{d3} = b\beta (V_{GS3} - V_T)^2$

【0019】

$$\Delta I_1 = I_{d1} - I_{d2}$$

$$= \begin{cases} \beta V_{in} \sqrt{2 I_0 / \beta - V_{in}^2} & (|V_{in}| \leq I_0 / \beta) \\ I_0 \operatorname{sgn}(V_{in}) & (|V_{in}| \geq I_0 / \beta) \end{cases}$$

【0027】

$$\Delta I_2 = I_{d3} - I_{d4}$$

$$= \begin{cases} -\beta' V_{in} \sqrt{2 I_0' / \beta' - V_{in}^2} & (|V_{in}| \leq I_0' / \beta') \\ -I_0 \operatorname{sgn}(V_{in}) & (|V_{in}| \geq I_0' / \beta') \end{cases}$$

【0028】

【数11】 $\beta' = b\beta$

【0029】

【数12】 $I_0' = a I_0$

【0030】従って、当該差動増幅回路の差動出力電流の差電流 ΔI は、数式13となるが、当該差動増幅回路のコンダクタンスはこの数式11を入力電圧 V_{in} で微分したものである（数式14）。

【0031】

【数13】 $\Delta I = \Delta I_1 + \Delta I_2$

【0032】

【数14】

$$\frac{d(\Delta I)}{dV_{in}} = \frac{d(\Delta I_1)}{dV_{in}} + \frac{d(\Delta I_2)}{dV_{in}}$$

★

4

* 【数5】 $I_{d4} = b\beta (V_{GS4} - V_T)^2$

【0020】ここで、 V_T はスレッショルド電圧、 V_{GS1} はゲート・ソース間電圧である。

【0021】また、定電流源1の値 I_0 は数式6、定電流源2の値 $a I_0$ は数式7、入力電圧 V_{in} は各差動対のトランジスタ相互間のゲート・ソース間電圧の差に等しく数式8である。

【0022】

【数6】 $I_0 = I_{d1} + I_{d2}$

10 【0023】

【数7】 $a I_0 = I_{d3} + I_{d4}$

【0024】

【数8】 $V_{in} = V_{GS1} - V_{GS2} = V_{GS4} - V_{GS3}$

【0025】そして、数式1～同8から、トランジスタM1と同M2のドレイン電流の差電流 ΔI_1 は数式9、トランジスタM3と同M4のドレイン電流の差電流 ΔI_2 は数式10となる。なお、数式10において、 β' は数式11、 I_0' は数式12としてある。

【0026】

20 【数9】

*

※ ※ 【数10】

★ 【0033】ここで、 ΔI_1 及び ΔI_2 の微係数が0とならない入力電圧範囲は数式15または同16となるが、数式15に示す入力電圧範囲では ΔI_1 は数式17で近似でき、同様に数式16に示す入力電圧範囲では ΔI_2 は数式18で近似できるので、数式14は数式19

40

【0034】

【数15】 $|V_{in}| \leq I_0 / \beta$

【0035】

【数16】 $|V_{in}| \leq I_0' / \beta'$

【0036】

【数17】

$$\Delta I_1 \cong \sqrt{2\beta I_0} V_{in} \left\{ 1 - \left(1 - \frac{1}{\sqrt{2}} \right) \left(\frac{V_{in}}{\sqrt{I_0/\beta}} \right)^2 \right\}$$

【0037】

$$\Delta I_2 \cong -\sqrt{2\beta' I_0'} V_{in} \times \left\{ 1 - \left(1 - \frac{1}{\sqrt{2}} \right) \left(\frac{V_{in}}{\sqrt{I_0'/\beta'}} \right)^2 \right\}$$

【0038】

$$\frac{d(\Delta I)}{dV_{in}} \cong (\sqrt{2\beta I_0} - \sqrt{2\beta' I_0'}) - 3\sqrt{2} \left(1 - \frac{1}{\sqrt{2}} \right) V_{in}^2 \times \left(\frac{\sqrt{\beta I_0}}{\frac{I_0}{\beta}} - \frac{\sqrt{\beta' I_0'}}{\frac{I_0'}{\beta'}} \right)$$

【0039】数式19が直線となるためには、 V_{in}^2 の項が0であれば良いので、数式11及び数式12のように設定したa、bの関係は数式20を満たせば良いことになる。

【0040】

【数20】 $b\sqrt{b} = \sqrt{a}$

【0041】従って、数式20が成立するように I_0' 、 β' の比を選べば、近似式においてトランスコンダクタンスを直線にできる。図2は、a、bの値を種々変更した場合のトランスコンダクタンスを示す。この図2から、トランスコンダクタンスを $V_{in}=0$ の値に対して±6%程度まで許容すれば、トランスコンダクタンスが0でない動作入力電圧範囲に対して約0.9程度まで利用できることが分かる。

【0042】次に、図3は、本発明の第2実施例に係る差動増幅回路を示す。この第2実施例回路は、3つの差動対、即ち、(M1、M2)のトランジスタ対及びこれを駆動する定電流源1(値 I_0)を備える差動対と、(M3、M4)のトランジスタ対及びこれを駆動する定電流源2(値 $a \times I_0$)を備える差動対と、(M5、M6)のトランジスタ対及びこれを駆動する定電流源3(値 $a' \times I_0$)を備える差動対とを中心に構成される。なお、(M1、M2)(M3、M4)(M5、M6)の3つのトランジスタ対相互間でのコンダクタンスパラメータ β の比は、(M1、M2) : (M3、M4) : (M5、M

★6) = 1 : b : b' となっている。

20 【0043】図3において、入力電圧 V_{in} が印加される差動入力対は、3つのトランジスタ対相互間において、一方のトランジスタ(M1とM3とM5)のゲート同士及び他方のトランジスタ(M2とM4とM6)のゲート同士をそれぞれ共通接続して構成される。

【0044】また、差動出力対は、3つのトランジスタ対相互間において、1つのトランジスタ対(M1、M2)の一方のトランジスタM1と残余のトランジスタ対(M3、M4)(M5、M6)の他方トランジスタ(M4とM6)とのドレイン同士及び1つのトランジスタ対(M1、M2)の他方のトランジスタM2と残余のトランジスタ対(M3、M4)(M5、M6)の一方トランジスタ(M3とM5)とのドレイン同士をそれぞれ共通接続して構成される。

【0045】以上の構成において、前述と同様の手順により、トランジスタ対(M1、M2)のドレイン電流の差電流 ΔI_1 は数式21、トランジスタ対(M3、M4)のドレイン電流の差電流 ΔI_2 は数式22、トランジスタ対(M5、M6)のドレイン電流の差電流 ΔI_3 は数式23となるので、差動出力電流 ΔI は数式24となる。

【0046】

【数21】

$$\Delta I_1 = I_{d1} - I_{d2}$$

$$= \beta V_{in} \sqrt{\frac{2 I_o}{\beta} - V_{in}^2}$$

$$\approx \sqrt{2 \beta I_o} \left\{ V_{in} - \left(1 - \frac{1}{\sqrt{2}}\right) \frac{V_{in}^3}{I_o / \beta} \right\}$$

【0047】

* * 【数22】

$$\Delta I_2 = I_{d3} - I_{d4}$$

$$= b \beta V_{in} \sqrt{\frac{2 a I_o}{b \beta} - V_{in}^2}$$

$$\approx \sqrt{2 a b \beta I_o} \left\{ V_{in} - \left(1 - \frac{1}{\sqrt{2}}\right) \frac{V_{in}^3}{(a I_o) / (b \beta)} \right\}$$

【0048】

* * 【数23】

$$\Delta I_3 = I_{d5} - I_{d6}$$

$$= b' \beta V_{in} \sqrt{\frac{2 a' I_o}{b' \beta} - V_{in}^2}$$

$$\approx \sqrt{2 a' b' \beta I_o}$$

$$\times \left\{ V_{in} - \left(1 - \frac{1}{\sqrt{2}}\right) \frac{V_{in}^3}{(a' I_o) / (b' \beta)} \right\}$$

【0049】

★30★ 【数24】

$$\Delta I = I_1 - I_2$$

$$= \Delta I_1 \pm \Delta I_2 - \Delta I_3$$

$$= \beta V_{in} \left\{ \sqrt{\frac{2 I_o}{\beta} - V_{in}^2} \pm b \sqrt{\frac{2 a I_o}{b \beta} - V_{in}^2} \right.$$

$$\left. - b' \sqrt{\frac{2 a' I_o}{b' \beta} - V_{in}^2} \right\}$$

$$\approx \sqrt{2 \beta I_o} \left\{ (1 \pm \sqrt{a b} - \sqrt{a' b'}) V_{in} - \left(1 - \frac{1}{\sqrt{2}}\right) \frac{V_{in}^3}{I_o / \beta} \right.$$

$$\left. \times \left(1 \pm \frac{\sqrt{a b}}{a / b} - \frac{\sqrt{a' b'}}{a' / b'}\right) \right\}$$

【0050】そして、数式24において、トランスコン☆50☆ダクタンスが直線となるようにするため、 V_{in} の3乗の

項の係数を0とおいて、 a 、 b 、 a' 、 b' の関係を求めると数式25となり、この第2実施例回路のトランスコンダクタンス特性は図4に示ようになる。

【0051】

【数25】

$$1 \pm \frac{\sqrt{ab}}{a/b} = \frac{\sqrt{a'b'}}{a'/b'}$$

【0052】次に、図5は、本発明の第3実施例に係る差動増幅回路を示す。この第3実施例回路は、前記第2実施例回路において差動出力対の形成方法を変更してのものである。即ち、差動出力対は、(M1、M2)(M3、M4)(M5、M6)の3つのトランジスタ対相互間において、1つのトランジスタ対(M5、M6)の他方のトランジスタM6と残余のトランジスタ対(M1、M2)(M3、M4)の一方のトランジスタ(M1とM3)とのドレイン同士及び1つのトランジスタ対(M5、M6)の一方のトランジスタM5と残余のトランジスタ対(M1、M2)(M3、M4)の他方トランジスタ(M2とM4)とのドレイン同士をそれぞれ共通接続して構成される。

【0053】回路動作は第2実施例回路と同様であって、そのトランスコンダクタンス特性は図6に示ようになる。

【0054】次に、図7は、本発明の第4実施例に係る差動増幅回路を示す。この第4実施例回路は、4つの差動対、即ち、(M1、M2)のトランジスタ対及びこれを駆動する定電流源1(値 I_0)を備える差動対と、(M3、M4)のトランジスタ対及びこれを駆動する定電流源2(値 $a \times I_0$)を備える差動対と、(M5、M6)のトランジスタ対及びこれを駆動する定電流源3(値 a'
× I_0)を備える差動対と、(M7、M8)のトランジスタ*

*対及びこれを駆動する定電流源4(値 $a'' \times I_0$)を備える差動対とを中心に構成される。なお、(M1、M2)(M3、M4)(M5、M6)(M7、M8)の4つのトランジスタ対相互間での β の比は、(M1、M2):(M3、M4):(M5、M6):(M7、M8)=1:b:b':b''となっている。

【0055】図7において、入力電圧 V_{in} が印加される差動入力対は、4つのトランジスタ対相互間において、一方のトランジスタ(M1とM3とM5とM7)のゲート同士及び他方のトランジスタ(M2とM4とM6とM8)のゲート同士をそれぞれ共通接続して構成される。

【0056】また、差動出力対は、4つのトランジスタ対相互間において、(M1、M2)(M5、M6)の2つのトランジスタ対の一方のトランジスタ(M1とM5)と(M3、M4)(M7、M8)の2つのトランジスタ対の他方のトランジスタ(M4とM8)とのドレイン同士及び(M1、M2)(M5、M6)の2つのトランジスタ対の他方のトランジスタ(M2とM6)と(M3、M4)(M7、M8)の2つのトランジスタ対の一方のトランジスタ(M3とM7)とのドレイン同士をそれぞれ共通接続して構成される。

【0057】以上の構成において、追加した差動対におけるトランジスタM7、同M8のドレイン電流の差電流 ΔI_4 は数式26となるので、当該差動増幅回路の差動出力電流は数式27となり、これに数式21、同22、同23及び同26の近似式を代入し、トランスコンダクタンスが直線となるために a 、 b 、 a' 、 b' 、 a'' 、 b'' が満たすべき関係式を求めると数式28となる。この第4実施例回路のトランスコンダクタンス特性は図8

【0058】

【数26】

$$\Delta I_4 = b'' \beta V_{in} \sqrt{\frac{2a'' I_0}{b'' \beta} - V_{in}^2}$$

$$\approx \sqrt{2a'' b'' \beta I_0}$$

$$\times \left\{ V_{in} - \left(1 - \frac{1}{\sqrt{2}}\right) \frac{V_{in}^3}{(a'' I_0)/(b'' \beta)} \right\}$$

【0059】

【数27】

$$\Delta I = I_1 - I_2$$

$$= \Delta I_1 - \Delta I_2 \pm \Delta I_3 \mp \Delta I_4$$

※【0060】

【数28】

※

11

$$1 = \frac{b\sqrt{b}}{\sqrt{a}} \mp \frac{b'\sqrt{b'}}{\sqrt{a'}} \pm \frac{b''\sqrt{b''}}{\sqrt{a''}}$$

12

【0061】次に、図9は、本発明の第5実施例に係る差動増幅回路を示す。この第5実施例回路は、前記第4実施例回路において差動出力対の形成方法を変更してのものである。即ち、差動出力対は、(M1、M2) (M3、M4) (M5、M6) (M7、M8) の4つのトランジスタ対相互間において、(M1、M2) (M7、M8) の2つのトランジスタ対の一方のトランジスタ (M1とM7) と (M3、M4) (M5、M6) の2つのトランジスタ対の他方のトランジスタ (M4とM6) とのドレイン同士及び (M1、M2) (M7、M8) の2つのトランジスタ対の他方のトランジスタ (M2とM8) と (M3、M4) (M5、M6) の2つのトランジスタ対の一方のトランジスタ (M3とM5) とのドレイン同士をそれぞれ共通接続して構成される。

【0062】回路動作は第4実施例回路と同様であって、そのトランスコンダクタンス特性は図10に示すようになる。

【0063】

【発明の効果】以上説明したように、本発明の差動増幅回路によれば、2組の差動対 (第1発明) または3組以上の差動対 (第2発明) をそのFET対相互間の入出力を所定の関係で接続し、特別の付加回路を要せずに構成できるので、回路規模を増大させることなくトランスコンダクタンスの直線性を改善できる差動増幅回路を提供できる効果がある。

【図面の簡単な説明】

【図1】本発明の第1実施例に係る差動増幅回路の回路*30

*図である。

【図2】第1実施例回路のトランスコンダクタンス特性図である。

【図3】本発明の第2実施例に係る差動増幅回路の回路図である。

【図4】第2実施例回路のトランスコンダクタンス特性図である。

【図5】本発明の第3実施例に係る差動増幅回路の回路図である。

【図6】第3実施例回路のトランスコンダクタンス特性図である。

【図7】本発明の第4実施例に係る差動増幅回路の回路図である。

【図8】第4実施例回路のトランスコンダクタンス特性図である。

【図9】本発明の第5実施例に係る差動増幅回路の回路図である。

【図10】第5実施例回路のトランスコンダクタンス特性図である。

【図11】従来の差動増幅回路の回路図である。

【図12】従来の差動増幅回路の回路図である。

【図13】従来の差動増幅回路の回路図である。

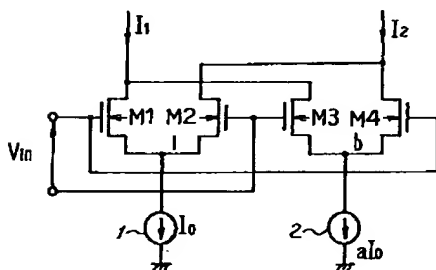
【符号の説明】

1~4 定電流源

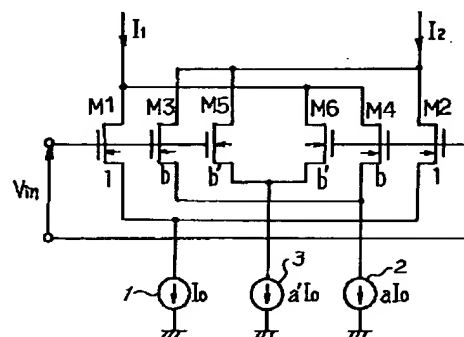
M1~M8 MOSトランジスタ

V_{in} 入力電圧

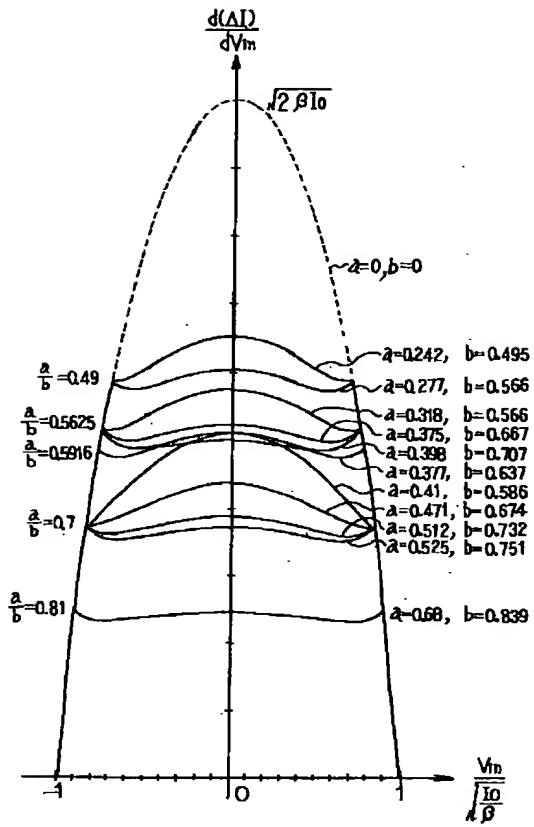
【図1】



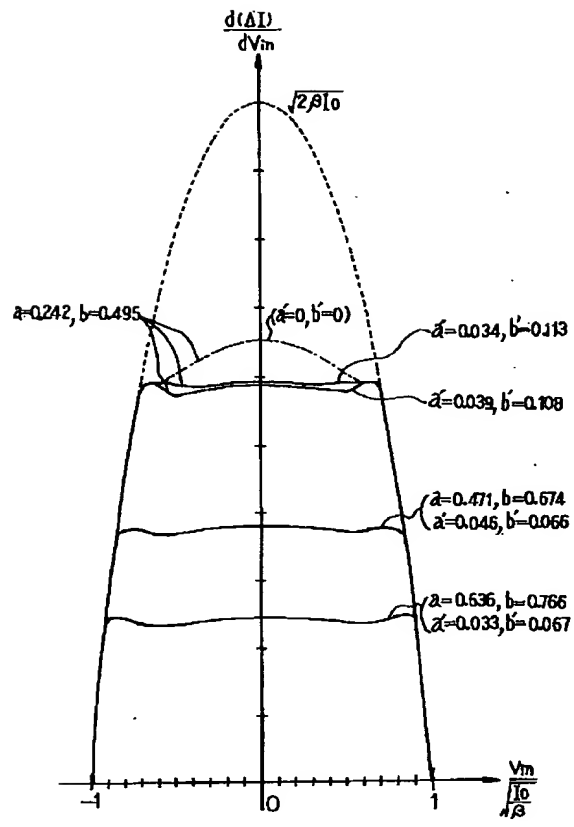
【図3】



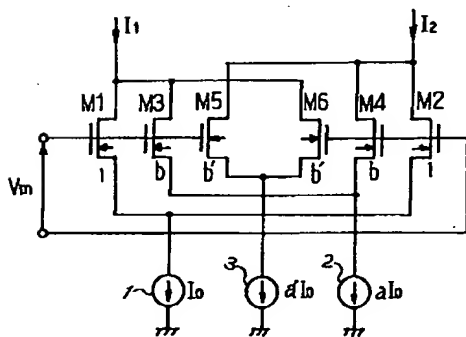
【図2】



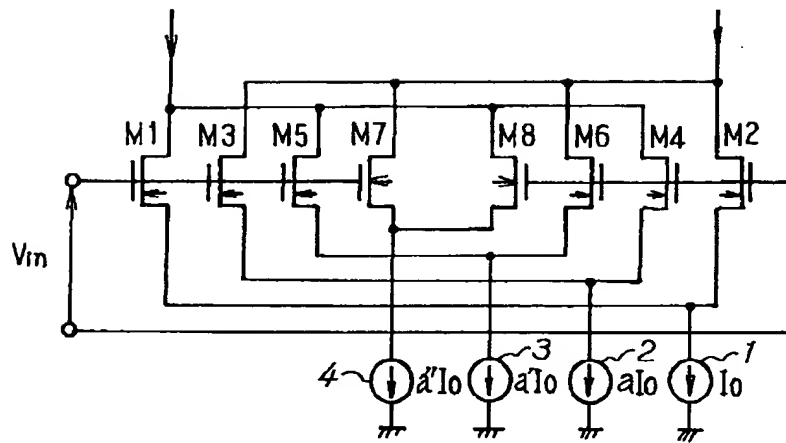
【図4】



【図5】



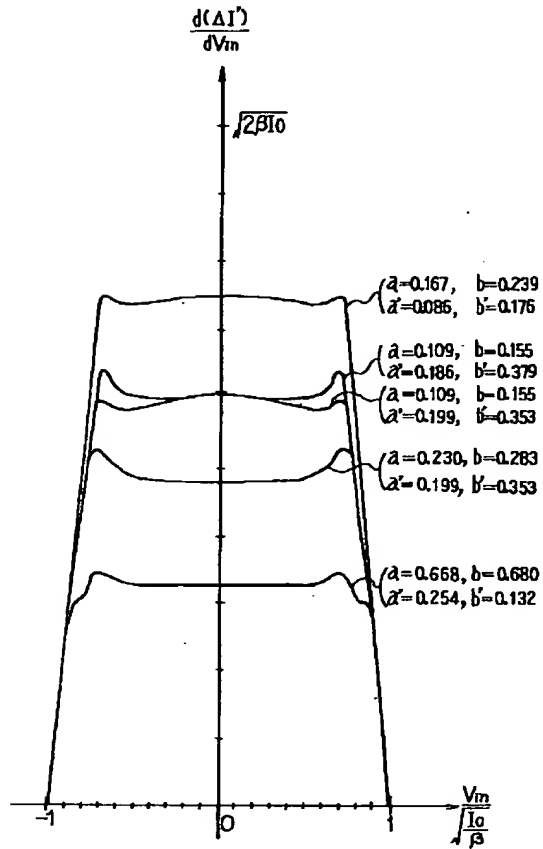
【図7】



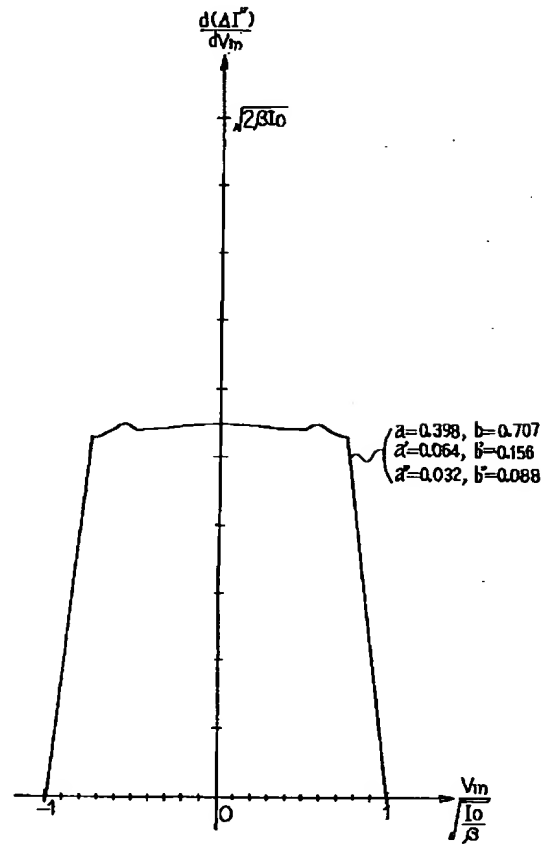
M1~M8 --- MOSトランジスタ

1 ~ 4 --- 定電流源

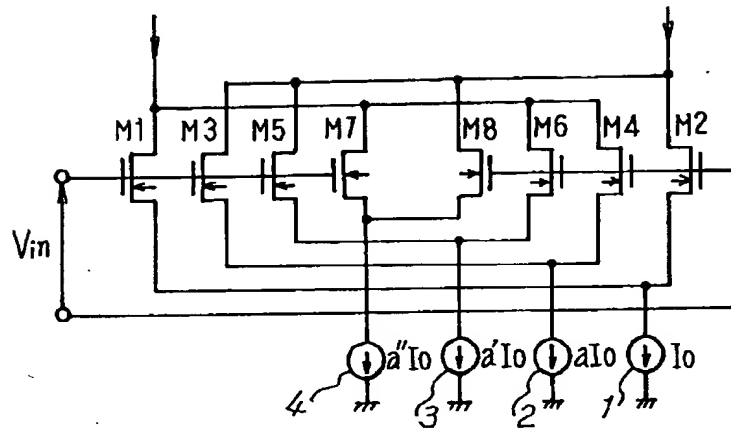
【図6】



【図8】

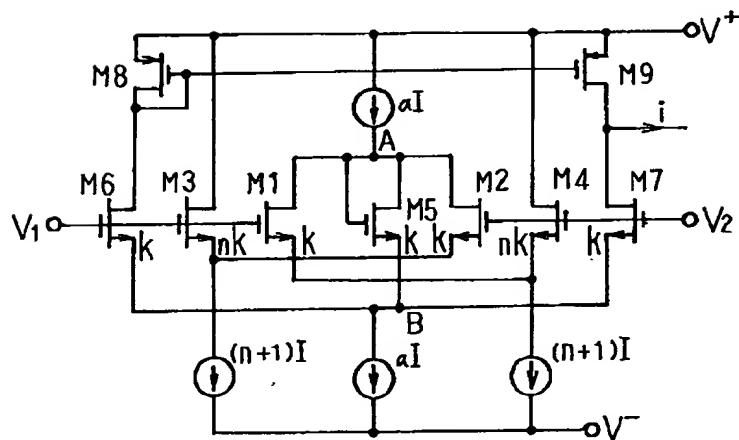


【図9】

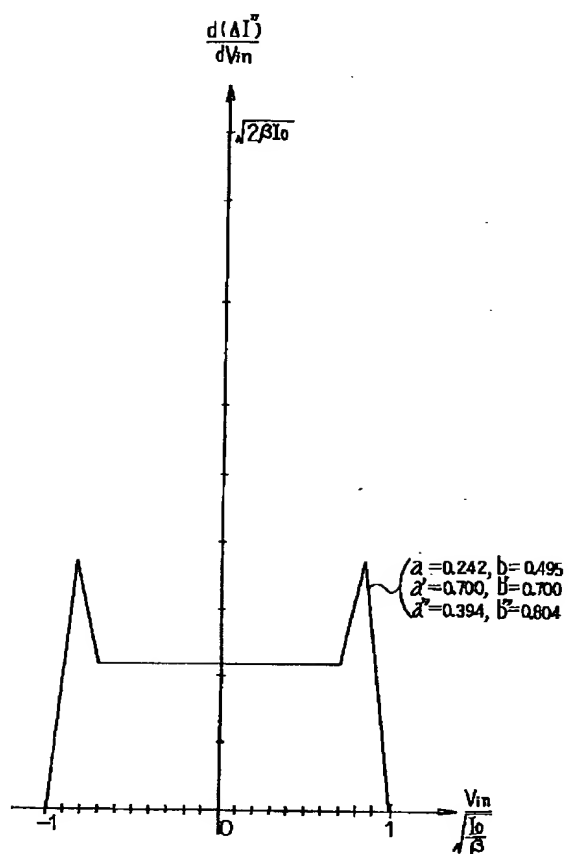


M1 ~ M8 --- MOSトランジスタ
 1 ~ 4 --- 定電流源

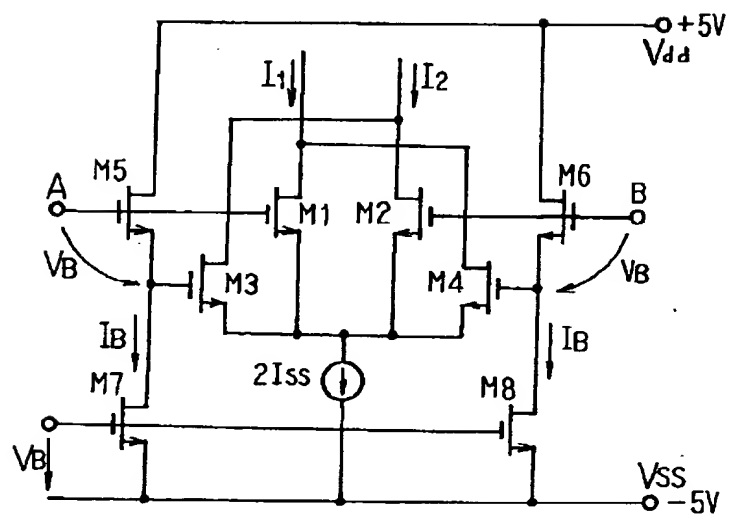
【図11】



【図10】



【図12】



【図13】

